

DLALOG(R)File 347:JAPIO

02225580 ****Image available****

PUB. NO.: 62-142480 [JP 62142480 A]

INVENTOR(s): TAKAHASHI KIMIYO

APPL. NO.: 60-283536 [JP 85283536]

INTL CLASS: [4] H04N-005/66; G09G-003/36

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

ABSTRACT

CONSTITUTION: An X driver 10 is arranged on one side of a liquid crystal panel 8 to apply shift register operation where the on-period of an output pulse is $1/2H$. The period when one row is selected by the X driver 10 is $1/2H$ and the application time of a video signal subjected to sample holding from a Y driver 9 is nearly $1/2H$. In order to improve the vertical resolution of the liquid crystal panel 8, even when the number of longitudinal picture elements is increased, the period of the voltage applied to one picture element, that is, the period when a voltage is applied to the picture element and held until the voltage is applied next is one vertical period and the period is a half in comparison with the interlacing system.

⑫ 公開特許公報(A)

昭62-142480

⑮ Int. Cl.⁴H 04 N 5/66
G 09 G 3/36

識別記号

1 0 2

庁内整理番号

B-7245-5C
8621-5C

⑬ 公開 昭和62年(1987)6月25日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 液晶パネル駆動回路

⑯ 特 願 昭60-283536

⑰ 出 願 昭60(1985)12月17日

⑱ 発 明 者 高 橋 公 代 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

2 ページ

明 細 書

1、発明の名称

液晶パネル駆動回路

2、特許請求の範囲

第1の映像信号をサンプリングする第1のスイッチング素子の出力端子に第2、第3のスイッチング素子が並列に接続され、第2、第3のスイッチング素子の出力端子と基準電位間にそれぞれ第1、第2のホールドコンデンサが接続され、第2の映像信号をサンプリングする第4のスイッチング素子の出力端子に第5、第6のスイッチング素子が並列に接続され、第5、第6のスイッチング素子の出力端子と基準電位間にそれぞれ第3、第4のホールドコンデンサが接続され、第2のスイッチング素子と第1のホールドコンデンサの交点に第7のスイッチング素子が接続され、第3のスイッチング素子と第2のホールドコンデンサの交点に第8のスイッチング素子が接続され、第5のスイッチング素子と第3のホールドコンデンサの交点に第9のスイッチング素子が接続され、第6

のスイッチング素子と第4のホールドコンデンサの交点に第10のスイッチング素子が接続され、第7～第10のスイッチング素子の出力端子は互いに接続されてサンプルホールド回路の出力となり、1水平周期ごとにオン、オフをくり返す第1の制御パルスにより第2、第5のスイッチング素子が開閉され、第1の制御パルスと逆相の関係にある第2の制御パルスにより第3、第6のスイッチング素子が開閉され、第1の制御パルスの前半部からなる第3のパルスにより第8のスイッチング素子が開閉され、第1の制御パルスの後半部からなる第4のパルスにより第10のスイッチング素子が開閉され、第2の制御パルスの前半部からなる第5のパルスにより第7のスイッチング素子が開閉され、第2の制御パルスの後半部からなる第6のパルスにより第9のスイッチング素子が開閉されるサンプルホールド回路を有することを特徴とする液晶パネル駆動回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、カラー液晶テレビジョン受像機などに用いられるアクティブマトリクス形の液晶パネルの駆動回路に関するものである。

従来の技術

近年、液晶パネルを表示素子とした液晶テレビジョン受像機が開発されている。この液晶テレビジョン受像機の動作の概要についてまず説明する。

第4図に液晶テレビジョン受像機の一般的な構成を示す。放送局から送られたテレビ信号はアンテナ1で受信され、チューナ2で周波数交換されて中間周波数となる。中間周波数に変換されたテレビ信号は、信号処理回路部3で増幅、検波され、音声信号と映像信号とが得られる。音声信号は音声出力回路4を経てスピーカ-5に出力される。映像信号はクロマ部6に印加される。クロマ部6にはクロマ処理部とクロマ出力部とがあり、映像信号はクロマ処理部でR、G、B信号に復調され、その後クロマ出力部で1フィールド毎に極性を反転させられた信号に変換され、Yドライバー-9に加えられる。Yドライバー-9に加えられる映像信

号は、サンプルホールドされてアクティブマトリクスカラー液晶パネル8のソースラインに印加される。また映像信号は制御部7に加えられる。ここで各種制御パルスが得られ、Xドライバー-10、及びYドライバー-9の制御信号入力端子に印加される。Xドライバー-10は、たて方向の走査を行なうためのものであり、この出力はアクティブマトリクス液晶パネル8のゲートラインに加えられる。Xドライバー-10からのたて方向走査パルスとYドライバー-9からの映像信号とによって、アクティブマトリクス形のカラー液晶パネル8上にテレビ画像が得られる。

次に、第4図に示すYドライバー-9の動作の概要について説明する。第5図にYドライバー-9の構成の一例を示す。クロマ部からのR、G、B信号はR、G、B端子に加えられ、アナログマルチプレクサ11により1水平周期毎に切り換えられ3本の映像信号ライン12に導かれる。アナログマルチプレクサ11は液晶パネルのR、G、B絵素配列に応じた切換動作を行なう。13はシフト

レジスタであり、クロック ϕ_r とスタートパルスSを入力とし、サンプリングパルス Q_1, Q_2, \dots, Q_n を順次出力する。14はサンプルホールド回路及びオペアンプであり、映像信号ライン12の映像信号をシフトレジスタからのサンプリングパルス Q_1, Q_2, \dots, Q_n によってサンプリングし、外部から加えられる G_1, G_2 パルスによってホールド動作を行なうものである。サンプルホールド回路及びオペアンプ14の出力はYドライバー-9の出力端子 $Y_{01}, Y_{02}, \dots, Y_{0n}$ に接続されており、この出力端子 $Y_{01}, Y_{02}, \dots, Y_{0n}$ はアクティブマトリクス形のカラー液晶パネルのソースラインに接続されている。

第5図におけるサンプルホールド回路及びオペアンプの1つの回路(n番目)を第6図に示す。第6図において12は映像信号ラインであり、ビデオ1、ビデオ2、ビデオ3の3本のラインからなる。n番目のサンプルホールド・オペアンプ部にはビデオ2から映像信号が供給されるものとする。15~20はスイッチング回路であり、それ

ぞれ矢印で示す記号のパルスがハイレベルのときオン、ローレベルのときオフとなる動作をするものである。15は映像信号サンプリング用のスイッチング回路であり、その出力は2つの入力スイッチング回路16、17に加えられる。入力スイッチング回路の出力端子にホールドコンデンサ22、23が接続され、ホールドコンデンサの出力端子に出力スイッチング回路18、19が接続され、2つの出力スイッチング回路の出力端子同士が結合され入力容量24を有するオペアンプ21の入力端子に接続されている。20は入力容量24に蓄積された電荷を放電させるためのスイッチング回路である。オペアンプ21の出力がYドライバー-9の出力 Y_{0n} となり、液晶パネルのソースラインに接続されている。

以上のように構成されたサンプルホールド回路について、以下にその動作を説明する。第6図に示すサンプルホールド回路及びオペアンプの各部の波形を第7図に示す。第7図において V_2 は映像信号ライン12のビデオ2ラインに加えられた

テレビ映像信号であり、1 水平周期を 1 H で表わしてある。(以下、1 水平周期を 1 H と略す。)
 G_1, G_2 はサンプルホールドのスイッチング回路 16 ~ 19 に加えられる制御パルスであり、 G_1, G_2 とも周期は 2 H であり位相は互いに π だけずれている。また、サンプルホールド動作を確実にを行うために、 G_1, G_2 の両方ともがオフである期間 t を設けている。 G_1, G_2 の一方がオンとなっている期間を t_1, t_2, \dots で示してある。

Q_n は第 5 図のシフトレジスタ 13 の n 番目出力パルスであり、スイッチング回路 15 を開閉する映像信号サンプリングパルスである。 V_{na}, V_{nb} はそれぞれホールドコンデンサ 22, 23 にかかる電圧波形であり、 Y_{0n} は Y ドライバー 9 の n 番目の出力波形である。 P は G_1, G_2 の両方ともがオフである期間内にスイッチング回路 20 に加えられる制御パルスである。 t_1 の期間は G_2 がオンで G_1 がオフであるから、ホールドコンデンサ 22 の情報 V_{na} が Y ドライバー 9 の出力 Y_{0n} に伝えられるとともに、ホールドコンデンサ 23 には

Q_n のサンプリングパルスによって映像情報 V_{nb} がサンプリングされる。次に t_2 の期間は G_1 がオン、 G_2 がオフであるから、 t_1 期間にサンプリングされた V_{nb} の情報が Y ドライバー 9 の出力 Y_{0n} に伝えられるとともにホールドコンデンサ 22 には Q_n のサンプリングパルスによって映像情報 V_{na} がサンプリングされる。以下、 t_3, t_4, \dots の期間はそれぞれ t_1, t_2 の期間と同様の動作をくり返す。

発明が解決しようとする問題点

しかしながら上記のような構成では、次のような問題点があった。すなわち、従来の回路構成の Y ドライバー 9 を用いてカラー液晶パネル画面の垂直方向の解像度を上げるためには、たて方向の絵素数を増すとともに、CRT テレビ受像機と同じようにインターレース(飛越走査)方式としなければならない。

インターレース時の液晶パネルとドライバーとの関係を第 8 図に示す。第 8 図において、8 はアクティブマトリクスカラー液晶パネルであり、た

て絵素数は NTSC 方式の場合で 480 程度である。9 は Y ドライバー、10 は X ドライバーである。X ドライバー 10 は 1 フィールドごとに左右の IC が交互に動作し、出力パルスのオン期間は 1 H である。

インターレース方式の場合、アクティブマトリクスカラー液晶パネルの 1 つの絵素にかかる電圧の周期、すなわち絵素に電圧が印加され、ホールドされ、次に電圧が印加されるまでの期間が 2 垂直周期となり、ノンインターレース時の 2 倍となる。またアクティブマトリクス液晶パネルを構成する TFT (薄膜トランジスタ) のオフ抵抗は有限値であるから、ホールド時に実際に液晶にかかる電圧は放電され、ホールド期間が長いほどこの電圧変化は大きなものとなる。

従って、第 8 図のような従来の構成でインターレース方式の駆動を行うと、液晶パネル 8 上に現われる輝度のチラツキ、すなわちフリッカーの周波数が低くなるとともに、そのレベルも大きくなるのでフリッカーが目立ち、非常に見にくい画面

となり、表示画質を極端に悪化させてしまうという問題点を有していた。

本発明は上記問題点に鑑み、カラー液晶パネルの垂直方向の解像度を上げて、フリッカーの増加を抑え、表示画質の悪化を防ぐことのできる液晶パネル駆動回路を提供することを目的とするものである。

問題点を解決するための手段

上記問題点を解決するために、本発明の液晶パネル駆動回路は、第 1 の映像信号をサンプリングする第 1 のスイッチング素子の出力端子に第 2, 第 3 のスイッチング素子が並列に接続され、第 2, 第 3 のスイッチング素子の出力端子と基準電位間にそれぞれ第 1, 第 2 のホールドコンデンサが接続され、第 2 の映像信号をサンプリングする第 4 のスイッチング素子の出力端子に第 5, 第 6 のスイッチング素子が並列に接続され、第 5, 第 6 のスイッチング素子の出力端子と基準電位間にそれぞれ第 3, 第 4 のホールドコンデンサが接続され、第 2 のスイッチング素子と第 1 のホールドコンデ

ンサの交点に第7のスイッチング素子が接続され、第3のスイッチング素子と第2のホールドコンデンサの交点に第8のスイッチング素子が接続され、第5のスイッチング素子と第3のホールドコンデンサの交点に第9のスイッチング素子が接続され、第6のスイッチング素子と第4のホールドコンデンサの交点に第10のスイッチング素子が接続され、第7～第10のスイッチング素子の出力端子は互いに接続されてサンプルホールド回路の出力となされている。

そして、1水平周期ごとにオン、オフをくり返す第1の制御パルスにより第2、第5のスイッチング素子が開閉され、第1の制御パルスと逆相の関係にある第2の制御パルスにより第3、第6のスイッチング素子が開閉され、第1の制御パルスの前半部からなる第3のバースにより第8のスイッチング素子が開閉され、第1の制御パルスの後半部からなる第4のバースにより第10のスイッチング素子が開閉され、第2の制御パルスの前半部からなる第5のバースにより第7のスイッチン

グ素子が開閉され、第2の制御パルスの後半部からなる第6のバースにより第9のスイッチング素子が開閉されるサンプルホールド回路を有する構成にしたものである。

作用

本発明は、上記した構成によって、サンプルホールド回路の入力側スイッチング素子の開閉を1水平周期期間ごとに行い、出力側スイッチング素子の開閉を1/2水平周期期間ごとに行っているため、アクティブマトリクス形のカラー液晶パネルのたて方向絵素数を2倍に増した場合でも、1つの絵素にかかる電圧の周期、すなわち絵素に電圧が印加され、ホールドされ、次に電圧が印加されるまでの期間が1垂直周期のままであるため、カラー液晶パネル上に現われるフリッカー周波数の低下、及びそのレベルの増加を抑えることができ、表示画質を向上することができるものである。

実施例

以下、本発明の一実施例の液晶パネル駆動回路について、図面を参照しながら説明する。

第1図は本発明の一実施例における液晶パネル駆動回路の構成を示すものであり、第5図におけるサンプルホールド・オペアンプ14の一つの回路(n番目)を示すものである。第1図において12は映像信号ラインであり、ビデオ1、ビデオ2、ビデオ3の3本のラインからなる。n番目のサンプルホールド・オペアンプ部には第1の映像信号ラインとしてビデオ3、第2の映像信号ラインとしてビデオ2が割り当てられているものとする。

24は出力バッファの役目をしているオペアンプ21の入力容量であり、20は入力容量24に蓄積された電荷を放電させるためのスイッチング回路である。25～34はそれぞれ第1～第10のスイッチング回路であり、それぞれ矢印で示す記号のバースがハイレベルのときオン、ローレベルのときオフとなる動作をするものである。26、28は映像信号サンプリング用のスイッチング回路であり、その出力はそれぞれ入力スイッチング回路対26、27及び29、30に加えられ、入

カスイッチング回路対26、27の出力にはそれぞれ第1、第2のホールドコンデンサ35、36が接続され、また入力スイッチング回路対29、30の出力にはそれぞれ第3、第4のホールドコンデンサ37、38が接続されている。31～34は出力スイッチング回路であり、その入力はいずれも26、35の交点、27、36の交点、29、37の交点、30、38の交点に接続されており、また31～34の出力は互いに接続されオペアンプ21の入力端子に接続されている。オペアンプ21の出力がYドライバの出力 Y_{on} となり、これが液晶パネルのソースラインに接続されている。

以上のように構成された液晶パネル駆動回路について、以下にその動作を説明する。第2図は、第1図に示す液晶パネル駆動回路の各部の波形を示す。第2図において V_2 、 V_3 はそれぞれビデオ2、ビデオ3に加えられるテレビ映像信号である。 G_1 、 G_2 は入力側スイッチング回路26、27、29、30に加えられる制御パルスである。 Q_n は

第6図のシフトレジスタ13のn番目出力パルスであり、スイッチング回路25、28を開閉する映像信号サンプリングパルスである。G_{1f}はG₁の前半部、G_{1b}はG₁の後半部、G_{2f}はG₂の前半部、G_{2b}はG₂の後半部のパルスであり、出力側スイッチング回路31〜34を制御するものである。またサンプルホールド動作を確実にを行うために、G_{1f}、G_{1b}、G_{2f}、G_{2b}のすべてがオフである期間tを設けている。G_{1f}、G_{1b}、G_{2f}、G_{2b}のどれかがオンとなっている期間をt₁、t₂、……で示してある。V_{na}、V_{nb}、V_{nc}、V_{nd}はそれぞれホールドコンデンサ35、36、37、38にかかる電圧波形である。PはG_{1f}、G_{1b}、G_{2f}、G_{2b}のすべてがオフである期間内にスイッチング回路20に加えられる制御パルスであり、Y_{on}はYドライバーのn番目出力波形である。

t₁の期間はG₂、G_{2f}がオンであり、その他の制御パルスがオフであるから、ホールドコンデンサ35の情報V_{na}がYドライバーの出力Y_{on}に伝えられる。t₂の期間はG₂、G_{2b}がオンであるから、

ホールドコンデンサ37の情報V_{nc}がYドライバーの出力Y_{on}に伝えられる。t₁、t₂及びその間のtの期間はG₂がオンでありG₁がオフであるから、ホールドコンデンサ36、38にはQ_nのサンプリングパルスによって映像情報V_{nb}、V_{nd}がサンプリングされる。次に、t₃の期間はG₁、G_{1f}がオンであるからt₁〜t₂期間にサンプリングされたホールドコンデンサ36の情報V_{nb}がYドライバーICの出力Y_{on}に伝えられる。t₄の期間はG₁、G_{1b}がオンであるからt₁〜t₂期間にサンプリングされたホールドコンデンサ38の情報V_{nd}がYドライバーの出力Y_{on}に伝えられる。t₃〜t₄期間はG₁がオン、G₂がオフであるから、ホールドコンデンサ35、37にはQ_nのサンプリングパルスによって映像情報V_{na}、V_{nc}がサンプリングされる。以下t₅、t₆、t₇、t₈、……の期間はそれぞれt₁、t₂、t₃、t₄の期間と同様の動作をくり返す。

第3図に、本回路を使用した場合の液晶パネルとドライバーとの関係を示す。第3図において、

8はアクティブマトリクス形のカラー液晶パネルであり、たて絵素数はNTSC方式の場合で480程度である。9は本駆動回路を搭載したYドライバー、10はXドライバーである。Xドライバー10は液晶パネル8の片側に配置され、出力パルスのオン期間が1/2Hであるシフトレジスタ動作を行う。Xドライバー10によって1つの行が選択される期間が1/2Hであり、Yドライバー9からのサンプルホールドされた映像信号の印加時間も約1/2Hである。従って、液晶パネル8の垂直解像度を上げるため、たて絵素数を増し(NTSC方式の場合には480程度)でも、1つの絵素にかかる電圧の周期、すなわち絵素に電圧が印加され、ホールドされ、次に電圧が印加されるまでの期間は1垂直周期(NTSC方式の場合約16.7msec)であり、インターレース方式とした場合に比べて1/2の時間となる。

以上のように、本実施例によれば、サンプルホールド回路の入力側スイッチング素子の開閉を1H期間ごとに行い、出力側スイッチング素子の開

閉を1/2H期間ごとに行うことにより、アクティブマトリクス形のカラー液晶パネルのたて方向絵素数を増しても、パネル画面上に現われるフリッカー周波数の低下、及びそのレベルの増加を抑えることができ、表示画質の向上を図ることができる。

なお、以上の説明は、アクティブマトリクス形のカラー液晶パネルの場合であったが、アクティブマトリクス形のモノクローム液晶パネルの場合でも同様に適用できる。

発明の効果

以上のように、本発明によれば、サンプルホールド回路の入力側スイッチング素子の開閉を1水平周期期間ごとに行い、出力側スイッチング素子の開閉を1/2水平周期ごとに行うようにしたことにより、液晶パネルのたて方向絵素数を2倍に増した場合でも1つの絵素にかかる電圧の周期が1垂直周期のままにすることができるため、液晶パネル上に現われるフリッカー周波数の低下及びそのレベルの増加を抑えることができ、表示画質の向上を図ることができる。

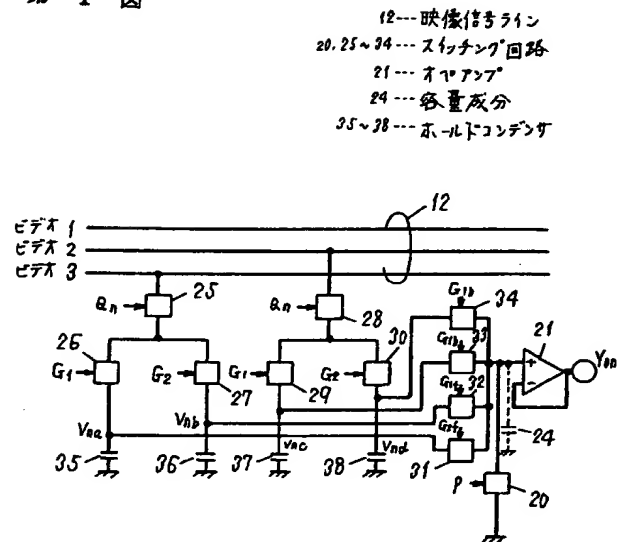
4、図面の簡単な説明

第1図は本発明の一実施例における液晶パネル駆動回路の回路図、第2図はその回路の各部の波形を示す波形図、第3図は同回路を使用した場合の液晶パネルとドライバーとの関係を示すブロック図、第4図は液晶テレビジョン受像機の一一般的な構成を示すブロック図、第5図はそのYドライバーの構成の一例を示す回路図、第6図はサンプルホールド・オペアンプ回路の従来例の構成を示す回路図、第7図はその回路の各部の波形を示す波形図、第8図は従来例の回路を使用した場合の液晶パネルとドライバーとの関係を示すブロック図である。

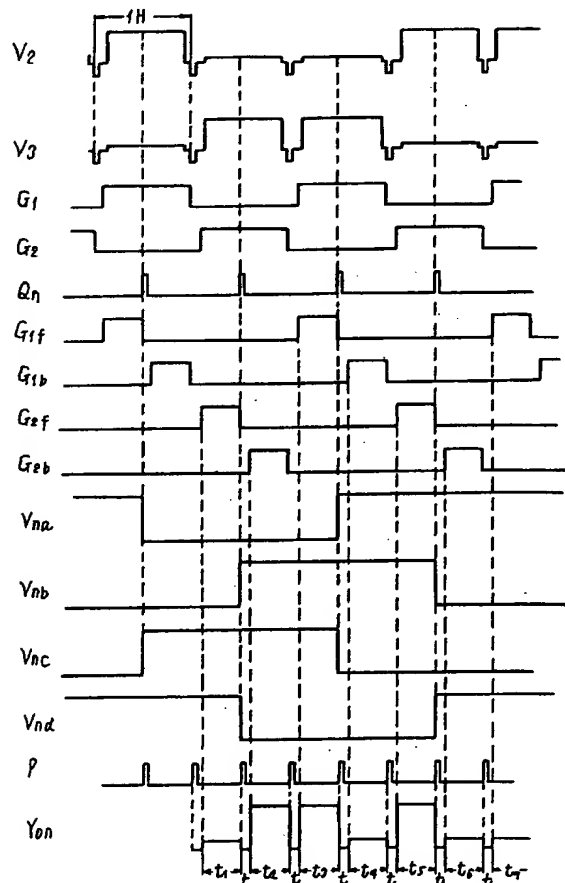
12……映像信号ライン、21……オペアンプ、
20、25～34……スイッチング回路、35～
38……ホールドコンデンサ、24……容量成分。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

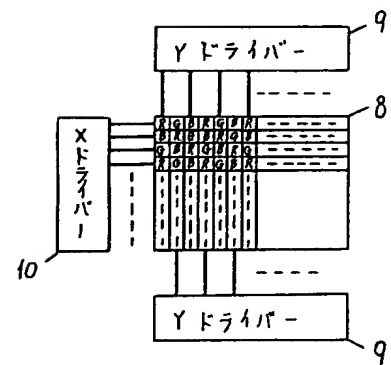
第 1 図



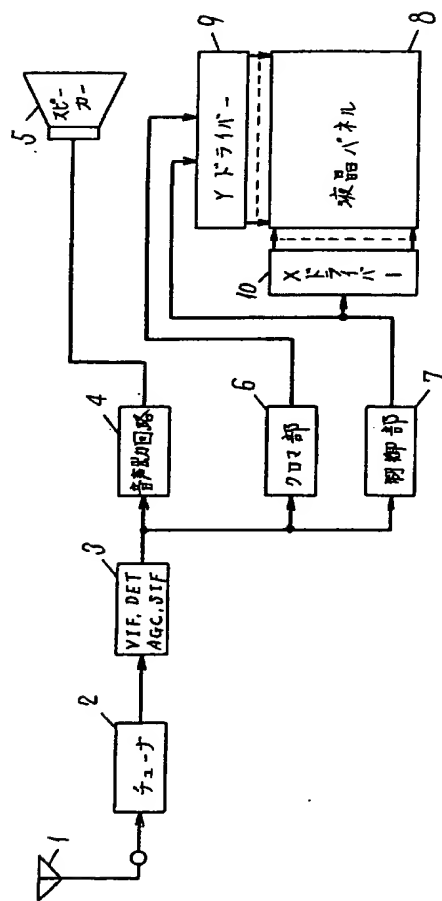
第 2 図



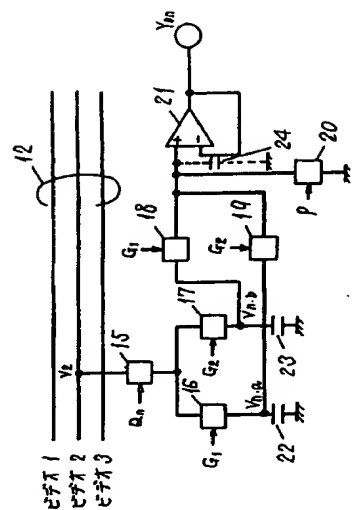
第 3 図



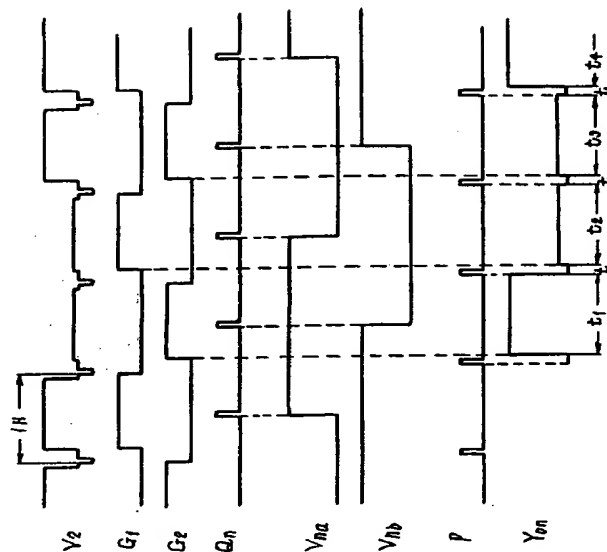
第 4 図



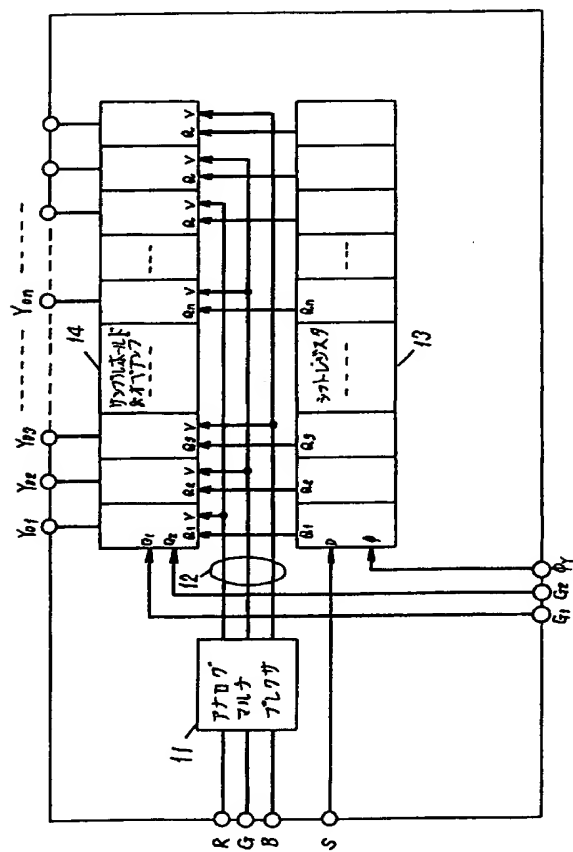
第 6 図



第 7 図



第 5 図



第 8 図

